

## Esercitazione 1 di verifica

Soluzione: mercoledì 10 ottobre

### Domanda 1

Realizzare una rete combinatoria avente quattro variabili booleane di ingresso  $a$ ,  $b$ ,  $x$ ,  $y$  e due variabili booleane di uscita  $z$ ,  $w$ . La funzione delle uscite è così definita:

- se  $a = 0$ , allora  $z$  è uguale alla somma di  $x$  e  $y$  e  $w$  è uguale al riporto dell'addizione di  $x$  e  $y$ ;
- se  $a = 1$ , allora  $z = x \oplus y$  e  $w = 0$ ;
- se  $a = 1$ , allora  $z = y$  e  $w = x$ .

Dare almeno due realizzazioni, delle quali una ricavata dalla tabella di verità, ed almeno una ricavata dalla definizione in forma algoritmica.

In tutte le soluzioni valutare il tempo di stabilizzazione della rete in funzione del ritardo  $t_p$  di una porta logica con al massimo 4 ingressi.

### Domanda 2

Realizzare una rete sequenziale (*contatore modulo 4*) così definita:

- ha una variabile booleana di ingresso  $x$  e due variabili booleane di uscita  $z$ ,  $w$ ;
- ogni volta che  $x$  assume il valore 1, il valore della configurazione delle uscite  $zw$ , considerata come numero naturale di due bit, viene incrementato di 1 modulo 4.

Nel caso di modello matematico di Moore, definire la funzione delle uscite e la funzione di transizione dello stato interno nei seguenti due casi:

1. partendo dal grafo di stato,
2. utilizzando componenti logici standard,

e, nei due casi, valutare il ciclo di clock della rete in funzione del ritardo  $t_p$  di una porta logica con al massimo 4 ingressi, sapendo che il ritardo di stabilizzazione di una ALU è uguale a  $4t_p$  e che l'impulso di clock ha durata  $t_p$ .

Ripetere quanto sopra per una realizzazione della rete in accordo al modello matematico di Mealy.

### Domanda 3

Realizzare una rete sequenziale così definita:

- ingressi  $A$  (32 bit),  $B$  (5 bit),  $C$  (32 bit),  $D$  (32 bit),  $E$  (6 bit);
- uscite  $Z_0, Z_1, \dots, Z_{63}$  tutte a 32 bit;
- se il bit  $B$ -esimo di  $A$  vale 0, allora l'uscita identificata dal valore di  $E$  assume il valore di  $C + D$  e tutte le altre uscite rimangono inalterate;
- se il bit  $B$ -esimo di  $A$  vale 1, allora l'uscita identificata dal valore di  $E$  assume il valore di  $C - D$  e tutte le altre uscite rimangono inalterate;

e valutarne il ciclo di clock nelle stesse ipotesi della Domanda 2.