

Esercitazione 4 di verifica

Soluzione: entro venerdì 23 novembre

Domanda 1

Si consideri il programma D-RISC risultante dalla soluzione della Domanda 1 dell'Esercitazione 3.

L'architettura dispone di una memoria principale avente ciclo di clock uguale a 100 volte il ciclo di clock τ della CPU. I collegamenti inter-chip hanno latenza di trasmissione uguale a 10τ .

- a) Esprimere il tempo di completamento del programma in funzione di τ , del numero di elementi n della lista e della probabilità p che $A_i \geq B_i$.
- b) Valutare la performance del calcolatore per un campo di applicazione nel quale il programma in oggetto sia ritenuto caratterizzante, nell'ipotesi che la frequenza del clock della CPU sia uguale a 4 GHz, $n = 100$, $p = 0,5$.
- c) Spiegare se il programma assembler, il suo interprete firmware, e le prestazioni (tempo di completamento, performance) cambiano, ed eventualmente come, nel caso che gli array A, B, C siano memorizzati in unità di ingresso-uscita, nell'ipotesi che tutte le memorie del sistema, esterne alla CPU, abbiano lo stesso ciclo di clock della memoria principale e che tutti i collegamenti inter-chip abbiano latenza di trasmissione uguale a 10τ .

Domanda 2

Valutare, in funzione di τ , del ciclo di clock della memoria principale e della latenza di trasmissione inter-chip, il tempo di elaborazione del trattamento interruzioni, a partire dall'istante in cui si verifica l'interruzione fino all'istante in cui inizia l'elaborazione dell'handler specifico, nell'ipotesi che le unità di I/O abbiano lo stesso ciclo di clock della CPU.

Dare la valutazione nei due casi seguenti:

- a) tutte le informazioni utilizzate nella fase firmware sono allocate in registri generali,
- b) tutte le informazioni utilizzate nella fase firmware sono allocate nel PCB del processo.