

# Architettura degli Elaboratori

Appello del 8 giugno 2011

Riportare su tutti i fogli consegnati nome, cognome, numero di matricola, corso di appartenenza, e la sigla NEW (per nuovo ordinamento), oppure OLD-0 (per vecchio ordinamento, programma 2010-11), oppure OLD-1 (per vecchio ordinamento, programma 2008-09). I risultati verranno pubblicati sulle pagine web del corso/dei docenti appena disponibili.

## Domanda 1 (tutti)

Una unità di elaborazione U, comunicante con una unità di ingresso e una di uscita, è descritta dal seguente microprogramma:

0. ( RDYIN = 0 ) nop, 0;  
( = 1 ) reset RDYIN, set ACKIN, IN  $\rightarrow$  X, 0  $\rightarrow$  I, 0  $\rightarrow$  S, 1;
1. ( I<sub>0</sub>, segno(A[I<sub>m</sub>] - X), zero(A[I<sub>m</sub>] - X), ACKOUT = 0 0 0 - ) X  $\rightarrow$  A[I], S + 1  $\rightarrow$  S, I + 1  $\rightarrow$  I, 1;  
( = 0 0 1 -, 0 1 - - ) I + 1  $\rightarrow$  I, 1;  
( = 1 - - 0 ) nop, 1;  
( = 1 - - 1 ) S  $\rightarrow$  OUT, set RDYOUT, reset ACKOUT, 0

Detto  $t_p$  il ritardo di una porta logica con al massimo 8 ingressi, le ALU e la memoria A hanno ritardo di  $5t_p$ .

- a) Definire le funzioni delle uscite e, relativamente alla memoria A, di transizione dello stato interno della Parte Operativa, e mostrare le corrispondenti parti della struttura.
- b) Scrivere una versione equivalente del microprogramma che faccia uso di controllo residuo per comandare la scrittura in A e in S, e mostrare le modifiche alla struttura della Parte Operativa.
- c) Determinare la differenza nei tempi di elaborazione della versione data e della versione con controllo residuo.

## Domanda 2 (NEW, OLD-0)

Un programma sequenziale è definito dal seguente algoritmo:

*int* A[N];

$\forall i = 0 .. N - 1:$

*if* A[i % C] = 0 *then* A[i] = 0 *else* A[i] = A[i] \* A[i] + 1

con  $N = 512K$ ,  $C = 2K$ .

Compilarlo con ottimizzazioni e determinarne il tempo di completamento per una CPU pipeline scalare D-RISC con le seguenti caratteristiche:

- Unità Esecutiva di latenza unitaria per ogni operazione;
- cache dati associativa, di capacità 32K parole, blocchi di 8 parole, scritture con il metodo write-through. La memoria principale è interallacciata con 4 moduli e ciclo di clock uguale a  $100\tau$ ;
- cache secondaria on-chip di capacità 1Mega parole;

supponendo

- trascurabile la probabilità di eseguire il ramo *then*,
- che, all'atto dell'esecuzione del processo, l'array A sia interamente presente in cache secondaria.

## Domanda 3 (OLD-1)

Con riferimento al processore D-RISC ed al modello a processi LC si discutano:

- le cause delle commutazioni di contesto
- l'implementazione della commutazione di contesto che porta in esecuzione il primo processo nella lista dei processi pronti

mettendo in evidenza l'utilizzo delle strutture dati del supporto e le istruzioni assembler utilizzate.