

Architettura degli elaboratori – Anno Accademico 2015-2016

Primo appello – 14 gennaio 2016

*Riportare su tutti i fogli consegnati Nome, Cognome, Matricola e corso (A o B)
I risultati e la bozza di soluzione saranno pubblicati su web appena disponibili*

Esercizio 1

Si progetti una unità firmware U che contiene una memoria M da 1K parole e interagisce con due unità U_1 ed U_2 . L'unità U_1 può richiedere l'esecuzione di una operazione che scrive un valore VAL all'indirizzo IND. L'unità U_2 può richiedere l'esecuzione di una operazione che legge il valore che si trova all'indirizzo IND oppure una operazione che azzerava l'intero contenuto della memoria. Le richieste di operazioni da U_2 hanno priorità rispetto a quelle provenienti da U_1 . A inizio operazioni, l'unità U azzerava tutte le posizioni di M.

Si assume che le unità U_1 ed U_2 richiedano operazioni con queste percentuali: lettura, 75%, scrittura 20% e azzeramento 5% .

Si fornisca il microprogramma di controllo della unità U e se ne determini la banda di elaborazione.

Esercizio 2

Si considerino i due seguenti sistemi:

- A) Processore pipeline, cache di primo livello associativa su insiemi (8 blocchi per insieme, $\sigma=16$, 1K insiemi) sia per IM che per DM
- B) Processore pipeline, cache di primo livello associativa su insiemi (8 blocchi per insieme, $\sigma=16$, 1K insiemi) per DM e cache ad indirizzamento diretto (8K blocchi, $\sigma=16$) per IM.

In entrambi i sistemi, è presente una cache di secondo livello. La cache di secondo livello è in grado di trasferire da e per le cache di primo livello un blocco di σ parole in 2σ cicli di clock. I due sistemi vengono utilizzati per l'esecuzione del codice D-RISC derivante dalla compilazione dello pseudo codice:

```
int x[1024], y[128], z[1024];
for(int i=0; i<N; i++) {
    x[i] = y[z[i]%128] + F(z[i]);
}
```

Il passaggio dei parametri per la funzione F utilizza unicamente registri. F non accede alla memoria ed esegue sequenzialmente 60 istruzioni.

Si definisca il working set del programma e si valuti il degrado delle prestazioni nell'ipotesi che la cache di secondo livello contenga l'intera immagine della memoria virtuale del processo e che la cache di primo livello sia inizialmente vuota.