

Architettura degli elaboratori—Seconda prova di verifica intermedia

A.A. 2017-18— 18 dicembre 2017

Riportare in alto a destra di ciascun foglio consegnato Nome, Cognome, Corso (A o B) e numero di matricola.
I risultati saranno comunicati via web appena disponibili.

Si consideri un'architettura D-RISC Pipeline, con EU parallela (EU master per le aritmetico logiche corte ed EU slave da 4 stadi per la moltiplicazione e divisione fra interi). Il sistema è dotato di cache di primo livello associative su insiemi a 4 vie con linee (blocchi) da $\sigma=8$ parole e di una cache di secondo livello (on chip) ancora associativa su insiemi, capace di trasferire una parola verso la cache di primo livello ogni 2τ .

Si consideri il seguente frammento di pseudocodice:

```
int x[N], a[N], b[N], z[N];
...
for(int i=0; i<N; i++) {
    x[i] = (a[i]*b[i])+c;
    if(b[i]<N) // in ¾ dei casi b[i] risulta minore di N
        z[b[i]] = x[i]+a[i];
}
```

Assumiamo che $N=1024$, che tutti i vettori ed il codice risiedano in cache di secondo livello.

Si richiede:

- di discutere il *working set* dell'applicazione;
- l'individuazione di tutte le cause di degrado delle prestazioni;
- di valutare il tempo di completamento ideale e reale del programma (possono essere escluse dal computo le istruzioni di inizializzazione);
- l'individuazione di possibili ottimizzazioni;
- la valutazione del guadagno di prestazioni ottenuto.

Successivamente, si consideri la possibilità di utilizzare un processore modificato che permette l'esecuzione *out-of-order* delle istruzioni sulla EU master e se ne discuta l'impatto sulle prestazioni.