

# Architettura degli Elaboratori – A.A. 2014-2015

Secondo appello – 26 giugno 2015

*Riportare nome, cognome, matricola e corso di appartenenza su tutti i fogli consegnati.  
Risultati e calendario degli orali saranno pubblicati su web appena disponibili.*

## Esercizio 1

Una unità firmware U incorpora una memoria M da  $N=1M$  parole e interagisce con altre due unità  $U_1$  ed  $U_2$ . Dalle due unità riceve richieste relative alle seguenti operazioni:

- inizializzazione (a zero) della memoria
- assegnazione di un valore VAL alla posizione IND
- sommatoria delle posizioni da INDI a INDJ (compresi) e restituzione del risultato
- restituzione del prodotto dei valori alle posizioni INDI e INDJ

Si progetti l'unità fornendone la lunghezza del ciclo di clock e il tempo medio di elaborazione, assumente che le quattro operazioni vengano richieste con probabilità 0.1, 0.3, 0.3 e 0.3, rispettivamente (si assuma  $T_{alu} = 5t_p$  e  $T_a = 5t_p$  (in lettura e scrittura) per M).

## Esercizio 2

Si fornisca un esempio di codice assembler il cui tempo di completamento risulti diverso quando eseguito su due sistemi con gerarchia di memoria con un unico livello di cache prima della memoria principale. L'unica differenza fra i due sistemi consiste nella cache, associativa su insiemi a due vie nel primo sistema e a quattro vie nel secondo sistema, ma di pari capacità complessiva. Si discutano adeguatamente tutti gli aspetti che determinano il diverso tempo di completamento.

## Esercizio 3

Si consideri l'esecuzione della computazione che sui vettori interi di N posizioni A, B e C, calcola  $C[i] = A[i]*k_1 + B[i]/k_2$  (per ogni i fra 0 e N-1) su un'architettura pipeline con EU che calcola moltiplicazione e divisione intera a 4 stadi. Se ne fornisca una versione ottimizzata e se ne valutino le prestazioni, assumendo che il codice esegue senza generare fault in cache.